

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-92723

(P2001-92723A)

(43) 公開日 平成13年4月6日 (2001. 4. 6)

(51) IntCl. ⁷	識別記号	F I	テーマコード(参考)
G 0 6 F 12/16	3 2 0	G 0 6 F 12/16	3 2 0 A 5 B 0 0 1
	3 4 0		3 4 0 S 5 B 0 1 8
11/10	3 3 0	11/10	3 3 0 K 5 B 0 2 5
G 1 1 C 16/06		G 1 1 C 17/00	6 3 9 C

審査請求 未請求 請求項の数4 OL (全 9 頁)

(21) 出願番号 特願平11-266654

(22) 出願日 平成11年9月21日 (1999. 9. 21)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233550

株式会社日立サイエンスシステムズ

茨城県ひたちなか市大字市毛1040番地

(72) 発明者 菅谷 祐二

茨城県ひたちなか市大字市毛882番地 株

式会社日立製作所計測器グループ内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

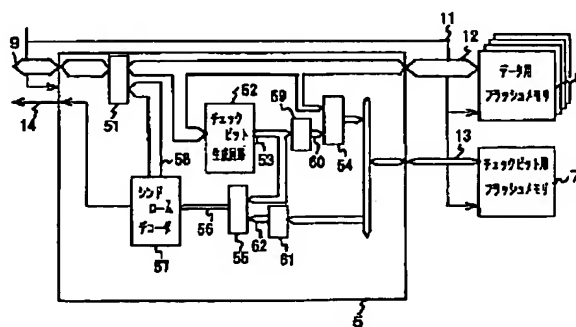
(54) 【発明の名称】 ECC制御回路及びそれを有するメモリシステム

(57) 【要約】

【課題】本発明は、不揮発性メモリの消去領域からの読み出し時にECCエラー報告を起こさずに、不揮発性メモリの信頼性を向上させ得るECC制御回路及びそれを用いたメモリシステムを提供することを目的とする。

【解決手段】本発明のECC制御回路5は、CPUよりデータ用不揮発性メモリ76へ書き込まれるデータからECC検出用チェックビットを生成するチェックビット生成回路52と、チェックビット用不揮発性メモリ7より読み出されたチェックビットをデコードするデコーダ57と、チェックビット生成回路からのチェックビットの少なくとも一部をビット反転する第1のビット反転回路59と、チェックビット用不揮発性メモリ7から読み出されたチェックビットの少なくとも一部をビット反転する第2のビット反転回路61から構成される。

図 3



1

【特許請求の範囲】

【請求項1】CPUよりデータ用不揮発性メモリへ書き込まれるデータからECC検出用チェックビットを生成するチェックビット生成回路と、チェックビット用不揮発性メモリより読み出されたチェックビットをデコードするデコーダを有し、データの誤り訂正を実行するECC制御回路において、

前記チェックビット生成回路からのチェックビットの少なくとも一部をビット反転する第1のビット反転回路と、

前記チェックビット用不揮発性メモリから読み出されたチェックビットの少なくとも一部をビット反転する第2のビット反転回路を設けたことを特徴とするECC制御回路。

【請求項2】請求項1において、前記第1のビット反転回路は、前記データ不揮発性メモリ消去後の初期値に対して生成されるチェックビットが前記チェックビット用不揮発性メモリ消去後の初期値と等しくなるよう前記チェックビット生成回路からのチェックビットの少なくとも一部をビット反転することを特徴とするECC制御回路。

【請求項3】請求項2において、前記第2のビット反転回路は、前記チェックビット用不揮発性メモリから読み出されたチェックビットのうち、前記第1のビット反転回路にてビット反転されるチェックビットと等しい位置のビットを反転することを特徴とするECC制御回路。

【請求項4】CPU、CPUからのデータが書き込まれるデータ用不揮発性メモリと、前記データ用不揮発性メモリに記憶されたデータの誤り検出を行うためのチェックビットを記憶するチェックビット用不揮発性メモリと、前記CPUからのデータに基づき前記記憶されたデータの誤り訂正を行うためのチェックビットを生成し当該チェックビットに基づいてデータ誤り訂正を実行するECC制御回路を有するメモリシステムにおいて、前記ECC制御回路は、前記データ不揮発性メモリ消去後の初期値に対して生成されたチェックビットが前記チェックビット用不揮発性メモリ消去後の初期値と等しくなるよう前記生成されたチェックビットの少なくとも一部をビット反転するビット反転回路を備えたことを特徴とするメモリシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、書き込み前に電氣的消去が必要な不揮発性メモリのデータ高信頼化を図る技術に関する。

【0002】

【従来の技術】書き込み前に電氣的な消去が必要な不揮発性メモリにはEEPROMやフラッシュメモリがあり、コンピュータシステムにおいてパラメータやプログラムの格納、外部記憶装置の記憶媒体として使用されて

2

いる。これらの不揮発性メモリの記憶セルでは酸化膜を通してMOSトランジスタのフローティングゲートへの電荷の注入、引き抜きを行うことにより書き込み・消去を行うため、書き込みの回数が増えると記憶セルの酸化膜が劣化し、保持データの信頼性が低下する。

【0003】従来の方式では、不揮発性メモリの高信頼化のために、ECC (Error Checking and Correcting feature)機構が用いられていた。ECC機構では、拡張ハミングコードを用いてデータビットよりチェックビットを生成し、データビットとチェックビットを不揮発性メモリに書き込み、読み出し時には不揮発性メモリから読み出したデータビットとチェックビットよりシンドロームを生成し、このシンドロームより1ビットの誤り訂正及び2ビットの誤り検出を行う。

【0004】

【発明が解決しようとする課題】EEPROMやフラッシュメモリなどの不揮発性メモリは書き込み前に電氣的に消去を行う必要が有る。不揮発性メモリでは、消去を行った領域は初期値をとる(ビット値1又は0)。消去はデータ格納用の不揮発性メモリとチェックビット格納用不揮発性メモリに対して同時に行う。通常、拡張ハミングコードでは、オール1又はオール0データに対するチェックビットはオール1またはオール0ではない。そのため、消去を行った領域にアクセスすると、ECCのエラーが検出される。

【0005】従来の方式では、電源投入後など不揮発性メモリの消去を行った領域がどこであるか解らないため、ソフトウェアによりECCのエラー報告をマスクして不揮発性メモリにアクセスしていき、消去した領域の位置を確認した後に、ECCエラー報告のマスクを解除していた。

【0006】しかしながら、従来の方式では、ECCエラー報告マスク時は、消去領域からの読み出し以外の真のECCエラー発生を見逃すと共に、ECCエラーのマスクとその解除のためにソフトウェアのオーバーヘッドが生じるという問題があった。本発明の目的は、不揮発性メモリの消去領域からの読み出し時にECCエラー報告を起こさずに、不揮発性メモリの信頼性を向上させ得るECC制御回路及びそれを用いたメモリシステムを提供することにある。

【0007】

【課題を解決するための手段】本発明は、CPUよりデータ用不揮発性メモリへ書き込まれるデータからECC検出用チェックビットを生成するチェックビット生成回路と、チェックビット用不揮発性メモリより読み出されたチェックビットをデコードするデコーダを有し、データの誤り訂正を実行するECC制御回路において、前記チェックビット生成回路からのチェックビットの少なくとも一部をビット反転する第1のビット反転回路と、前記チェックビット用不揮発性メモリから読み出されたチェ

3

ックビットの少なくとも一部をビット反転する第2のビット反転回路を設けたことを特徴とする。

【0008】好ましくは、前記第1のビット反転回路は、前記データ不揮発性メモリへの書き込み前に行われる電氣的消去後の初期値に対して生成されるチェックビットが、前記チェックビット用不揮発性メモリ消去後の初期値と等しくなるよう前記チェックビット生成回路からのチェックビットをビット反転する。

【0009】また、更に本発明では、CPU、CPUからのデータが書き込まれるデータ用不揮発性メモリと、前記データ用不揮発性メモリに記憶されたデータの誤り検出を行うためのチェックビットを記憶するチェックビット用不揮発性メモリと、前記CPUからのデータに基づき前記記憶されたデータの誤り訂正を行うためのチェックビットを生成し当該チェックビットに基づいてデータ誤り訂正を実行するECC制御回路を有するメモリシステムにおいて、特に、前記ECC制御回路内に、前記データ不揮発性メモリ消去後の初期値に対して生成されたチェックビットが前記チェックビット用不揮発性メモリ消去後の初期値と等しくなるよう前記生成されたチェックビットの少なくとも一部をビット反転するビット反転回路を備えたことを特徴とする。

【0010】

【発明の実施の形態】以下、図面を用いて本発明の実施形態を説明する。書き込み前に電氣的な消去が必要な不揮発性メモリはフラッシュメモリとし、フラッシュメモリの記憶セルの消去後の初期値は1、データバス幅は32ビット、データ32ビットに対し生成される、ECCのチェックビットは7ビットとする。

【0011】図1は、本発明の一実施例であるECC制御回路を用いたメモリシステムの構成図である。制御回路2は、CPU1のアドレスバス8、データバス9、CPU制御線10の値やCPU1からの設定値をもとに制御線11により、CPU1からROM3、RAM4、フラッシュメモリへのアクセスが行われる際にそれらのデバイスと、ECC制御回路5を制御する。ROM3はプログラム格納、RAM4はプログラムのワーク領域等に使用される。フラッシュメモリはデータ用フラッシュメモリ6とチェックビット用フラッシュメモリ7とからなる。本実施例では、データバス幅を32ビット、それに対するECCチェックビットを7ビットとするため、データ用フラッシュメモリ6は少なくとも4個の8ビットデータ幅のフラッシュメモリ、チェックビット用フラッシュメモリ7は1個の8ビットデータ幅のフラッシュメモリから構成される。ECC制御回路5はフラッシュメモリに対するECC機構を実現する。書き込み時は、拡張ハミングコードを用いてデータバス9上のデータよりチェックビットを生成し、データとチェックビットをそれぞれ、フラッシュメモリデータバス12、フラッシュメモリチェックビットバス13を介してデータ用フラッシュメモリ6、

4

フラッシュメモリ7に書き込む。読み出し時には、フラッシュメモリデータバス12、フラッシュメモリチェックビットバス13を介してデータ用フラッシュメモリ6、チェックビット用フラッシュメモリ7から読み出したデータとチェックビットよりシンドロームを生成し、このシンドロームより1ビットの誤り訂正及び2ビットの誤り検出を行う。14はECCエラー報告線であり、フラッシュメモリ読み出し時にECCのエラーが発生した場合、ECC制御回路5からCPU1に報告を行うために使用する。

【0012】図2は従来のECC制御回路構成図である。データ誤り訂正方向切り替え回路51は、読み出し時と書き込み時のデータバス9とフラッシュメモリデータバス12との間のデータの流れの制御、および読み出し時にECCシンドロームデコーダ57から訂正ビット情報バス58を介して送られる訂正ビット情報をもとにフラッシュメモリデータバス12を介してデータ用フラッシュメモリ6から読み出されたデータの訂正を行いデータバス9への送出を行う。52はチェックビット生成回路である。フラッシュメモリデータバス12上の32ビットデータに対し拡張ハミングコードをもとにチェックビット7ビットを生成し、チェックビットバス53に送出する。チェックビットバス53のビット0～6へはチェックビットを、ビット7へはフラッシュメモリデータバス12のビット7のデータをそのまま送出する。書き込みデータ切り替え回路54は、フラッシュメモリチェックビットバス13を介してチェックビット用フラッシュメモリ7に書き込むデータの切り替えを行う。フラッシュメモリの書き込みや消去を行う場合、フラッシュメモリに対して、書き込みや消去のコマンドが書き込まれる。書き込みデータ切り替え回路54はチェックビット用フラッシュメモリ7への書き込みデータの切り替えを行い、コマンド書き込み時はフラッシュメモリデータバス12のビット0～7を、データの書き込み時はチェックビットバス53上のチェックビットをフラッシュメモリチェックビットバス13へ送る。シンドローム生成回路55は、フラッシュメモリデータバス12を介してデータ用フラッシュメモリ6から読み出されたデータに対しチェックビット生成回路52により生成されたチェックビットと、フラッシュメモリチェックビットバス13を介して、チェックビット用フラッシュメモリ7から読み出したチェックビットのビット毎の排他的論理和をとりシンドロームを生成し、シンドロームバス56に送出する。シンドロームデコーダ57は、シンドロームバス56上のシンドロームをデコードし、32ビットの訂正ビット情報を訂正ビット情報バス58へ送出する。また、シンドロームをもとにECCエラーの有無の判定を行い、エラー発生時は、ECCエラー報告線14によりCPU1に報告する。

【0013】図3は、本発明の一実施例であるECC制

5

御回路の構成図である。図2の従来の方式に対し、2つのビット反転回路59、61が追加されている。第1のビット反転回路59はデータ用フラッシュメモリ6消去後の初期値“\$FFFFFFF”に対して生成されるチェックビットがチェックビット用フラッシュメモリ消去後の初期値と同じになるようにビット反転を行う。チェックビットバス53上のチェックビットのビット反転を行い、反転チェックビットバス60に送出する。第2のビット反転回路61は第1のビット反転回路59と同じビットの反転を行う。フラッシュメモリチェックビットバス1310上のチェックビット用フラッシュメモリ7から読み出したチェックビットのビット反転を行い、反転フラッシュメモリチェックビットバス62に送出する。

【0014】図4は、フラッシュメモリへの書き込み時のメモリシステムの動作説明図である。コマンド書き込み、データ書き込み時とも同じ構成になる。CPU1によりアドレスバス8上にアクセスアドレス、データバス9上にコマンド、書き込みデータが送出される。コマンド書き込み時は、ECC制御回路5はデータバス9上の書き込みコマンドをフラッシュメモリデータバス12、20フラッシュメモリチェックビットバス13上に送出する。データ書き込み時は、ECC制御回路5はデータバス9上の書き込みデータをフラッシュメモリデータバス12に送出し、フラッシュメモリデータバス12上のデータに対するチェックビットをフラッシュメモリチェックビットバス13上に送出する。

【0015】図5はフラッシュメモリへのコマンド書き込み時のECC制御回路の動作説明図である。従来の方式、本発明とも同じ構成になる。データ誤り訂正方向切り替え回路51はデータバス9上のコマンドをフラッシュメモリデータバス12上に送る。データ用フラッシュメモリ6、チェックビット用フラッシュメモリ7は8ビットデータ幅のフラッシュメモリから構成されるため、コマンドは8ビットであり、データバス9、フラッシュメモリデータバス12のビット0～7、ビット8～15、ビット16～23、ビット24～31上のデータが同じになる。書き込みデータ切り替え回路54はフラッシュメモリデータバス12のビット0～7をフラッシュメモリチェックビットバス13へ送る。

【0016】図6はフラッシュメモリへのデータ書き込み時の従来のECC制御回路動作説明図である。データ誤り訂正方向切り替え回路51はデータバス9上のコマンドをフラッシュメモリデータバス12上に送る。チェックビット生成回路52は、フラッシュメモリデータバス12上の32ビットデータに対し拡張ハミングコードをもとにチェックビット7ビットを生成し、チェックビットバス53に送出する。チェックビットバス53のビット0～6へはチェックビットを、ビット7へはフラッシュメモリデータバス12のビット7のデータをそのまま送出する。データバス9上の書き込みデータがデータ50

6

用フラッシュメモリ6の消去後の初期値“\$FFFFFFF”と同じ場合、チェックビットバス53のビット0～6へは“\$33”が送出されるものとする。書き込みデータ切り替え回路54はチェックビットバス53上のチェックビットをフラッシュメモリチェックビットバス13へ送る。

【0017】図7は、フラッシュメモリ読み出し時のメモリシステムの動作説明図である。CPU1によりアドレスバス8上にアクセスアドレスが送出される。ECC制御回路5は読み出し時には、フラッシュメモリデータバス12、フラッシュメモリチェックビットバス13を介してデータ用フラッシュメモリ6、チェックビット用フラッシュメモリ7から読み出したデータとチェックビットよりシンドロームを生成し、このシンドロームより1ビットの誤り訂正及び2ビットの誤り検出を行う。フラッシュメモリデータバス12上のデータは、1ビットの誤り発生時は訂正され、それ以外の場合はそのまま、データバス9上に送出される。ECCのエラーが発生した場合、ECC制御回路5からECCエラー報告線14を介してCPU1に報告が行われる。

【0018】図8は、フラッシュメモリ読み出し時の従来のECC制御回路の動作説明図である。シンドローム生成回路55は、フラッシュメモリデータバス12を介してデータ用フラッシュメモリ6から読み出されたデータに対しチェックビット生成回路52により生成されたチェックビットと、フラッシュメモリチェックビットバス13を介して、チェックビット用フラッシュメモリ7から読み出したチェックビットのビット毎の排他的論理和をとりシンドロームを生成し、シンドロームバス56に送出する。シンドロームデコーダ57はシンドロームバス56上のシンドロームをデコードし、32ビットの訂正ビット情報を訂正ビット情報バス58へ送出する。また、シンドロームをもとにECCエラーの有無の判定を行い、エラー発生時は、ECCエラー報告線14によりCPU1に報告する。データ誤り訂正方向切り替え回路51は、ECCシンドロームデコーダ57から訂正ビット情報バス58を介して送られる訂正ビット情報をもとにフラッシュメモリデータバス12を介してデータ用フラッシュメモリ6から読み出されたデータの訂正を行いデータバス9への送出を行う。図8では、図6でデータ用フラッシュメモリ6、チェックビット用フラッシュメモリ7に書き込んだ消去後の初期値と同じデータである“\$FFFFFFF”と、そのデータに対するチェックビット“\$33”が読み出されているため、エラーは発生せず、フラッシュメモリデータバス12上のデータ“\$FFFFFFF”は、データバス9上に送出される。

【0019】図9はフラッシュメモリ消去後の初期化データ読み出し時の従来のECC制御回路の動作説明図である。データ用フラッシュメモリ6、チェックビット用フラッシュメモリ7から消去後の初期値データである“\$FFFFFFF”と、“\$3F”が読み出されている。データ

7

“\$FFFFFFF”に対するチェックビットは“\$33”であるため、フラッシュメモリデータバス12を介してデータ用フラッシュメモリ6から読み出されたデータに対しチェックビット生成回路52により生成されたチェックビットと、フラッシュメモリチェックビットバス13を介して、チェックビット用フラッシュメモリ7から読み出したチェックビットはビット2とビット3が異なる。

【0020】シンドロームデコーダ57は2ビットエラーを検出し、ECCエラー報告線14を介してCPU1に報告を行う。従来の方式では、電源投入後などは不揮発性メモリの消去を行った領域がどこであるか分からないため、ソフトウェアによりECCのエラー報告をマスクして不揮発性メモリにアクセスしていき、消去した領域の位置を確認した後に、ECCのエラー報告のマスクを解除する。

【0021】図10に第2のビット反転回路61の内部構造を示す。第2のビット反転回路61はデータ用フラッシュメモリ6消去後の初期値“\$FFFFFFF”に対して生成されるチェックビットがチェックビット用フラッシュメモリ消去後の初期値と同じになるようにビット反転を行う。 “\$FFFFFFF”に対してチェックビット生成回路52により生成されるチェックビットは“\$33”であり、チェックビット用フラッシュメモリ7のビット6からビット0の消去後の初期値は“\$3F”であり、ビット2とビット3が異なる。そこで、第2のビット反転回路61はビット2とビット3の値を反転する。

【0022】図11に第1のビット反転回路59の内部構造を示す。第1のビット反転回路59はデータ用フラッシュメモリ6消去後の初期値“\$FFFFFFF”に対して生成されるチェックビットがチェックビット用フラッシュメモリ消去後の初期値と同じになるようにビット反転を行う。 “\$FFFFFFF”に対してチェックビット生成回路52により生成されるチェックビットは“\$33”であり、チェックビット用フラッシュメモリ7のビット6からビット0の消去後の初期値は“\$3F”であり、ビット2とビット3が異なる。そこで、第1のビット反転回路59はビット2とビット3の値を反転する。

【0023】図12はフラッシュメモリへのデータ書き込み時の本発明の一実施例におけるECC制御回路の動作説明図である。データバス9上の書き込みデータがデータ用フラッシュメモリ6の消去後の初期値“\$FFFFFFF”と同じ場合、チェックビットバス53のビット0～6へは“\$33”が送出される。第1のビット反転回路59はチェックビットバス53上のビット2とビット3のチェックビットのビット反転を行い、反転チェックビットバスのビット0～6へチェックビット用フラッシュメモリ7の消去後の初期値“\$3F”を反転チェックビットバス60に送出する。書き込みデータ切り替え回路54は反転チェックビットバス60上のチェックビットをフラッシュメモリチェックビットバス13へ送りチェックビット50

8

用フラッシュメモリ7のビット0～6へは消去後の初期値と同じ“\$3F”、データ用フラッシュメモリ6へは消去後の初期値と同じ“\$FFFFFFF”が書き込まれる。

【0024】図13はフラッシュメモリ消去後の初期化データ読み出し時の本発明の一実施例におけるECC制御回路5の動作説明図である。データ用フラッシュメモリ6、チェックビット用フラッシュメモリ7から消去後の初期値データである“\$FFFFFFF”と、“\$3F”が読み出されている。第2のビット反転回路61はフラッシュメモリチェックビットバス13上のビット2、ビット3の反転を行い、“\$33”を反転フラッシュメモリチェックビットバス62のビット0～6に送出する。

【0025】データ“\$FFFFFFF”に対するチェックビットは“\$33”であるため、フラッシュメモリデータバス12を介してデータ用フラッシュメモリ6から読み出されたデータに対しチェックビット生成回路52により生成されたチェックビットと、反転フラッシュメモリチェックビットバス62上の、チェックビット用フラッシュメモリ7から読み出したチェックビットは一致する。これより、フラッシュメモリ消去後の初期化データ読み出し時もシンドロームデコーダ57はエラーを検出しない。

【0026】

【発明の効果】以上説明したように、本発明により、不揮発性メモリの消去領域から読み出し時にECCのエラー報告を起こさずに、不揮発性メモリの信頼性を向上させることが可能となる。電源投入後などの不揮発性メモリの消去を行った領域がどこであるか分からない場合も、ソフトウェアによりECCのエラー報告をマスクする必要がなくなり、ECCのエラー報告マスク時に、消去領域からの読み出し以外の真のECCのエラー発生を見逃すことや、ECCエラーのマスクとその解除のためのソフトウェアのオーバーヘッドがなくなる。

【図面の簡単な説明】

【図1】本発明の一実施例であるECC制御回路を用いたメモリシステムの構成図である。

【図2】従来のECC制御回路の構成図である。

【図3】本発明の一実施例であるECC制御回路の構成図である。

【図4】フラッシュメモリへの書き込み時のメモリシステムの動作説明図である。

【図5】フラッシュメモリへのコマンド書き込み時のECC制御回路の動作説明図である。

【図6】フラッシュメモリへのデータ書き込み時の従来のECC制御回路動作説明図である。

【図7】フラッシュメモリ読み出し時のメモリシステムの動作説明図である。

【図8】フラッシュメモリ読み出し時の従来のECC制御回路の動作説明図である。

【図9】フラッシュメモリ消去後の初期化データ読み出し時の従来のECC制御回路の動作説明図である。

9

【図10】図3に示される第2のビット反転回路の構成図である。

【図11】図3に示される第1のビット反転回路の構成図である。

【図12】フラッシュメモリへのデータ書き込み時の本発明の一実施例におけるECC制御回路の動作説明図である。

【図13】フラッシュメモリ消去後の初期化データ読み出し時の本発明の一実施例におけるECC制御回路の動作説明図である。

【符号の説明】

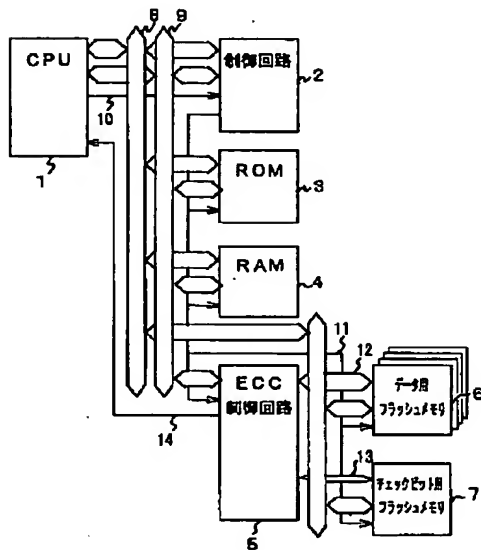
1…CPU、2…制御回路、3…ROM、4…RAM、5…ECC制御回路、6…データ用フラッシュメモリ、

10

*7…チェックビット用フラッシュメモリ、8…アドレスバス、9…データバス、10…CPU制御線、11…制御線、12…フラッシュメモリデータバス、13…フラッシュメモリチェックビットバス、14…ECCエラー報告線、51…データ誤り訂正方向切り替え回路、52…チェックビット生成回路、53…チェックビットバス、54…書き込みデータ切り替え回路、55…シンドローム生成回路、57…ECCシンドロームデコーダ、58…訂正ビット情報バス、59…第1のビット反転回路、60…反転チェックビットバス、61…第2のビット反転回路、62…反転フラッシュメモリチェックビットバス。

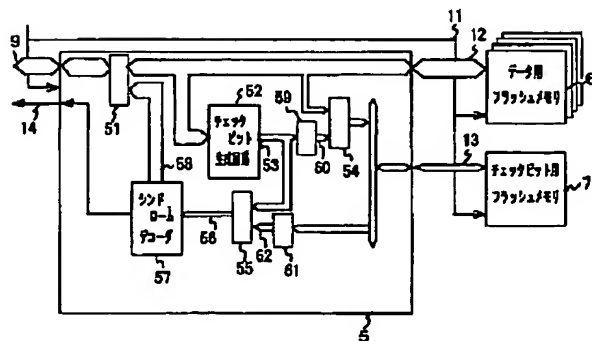
【図1】

図 1



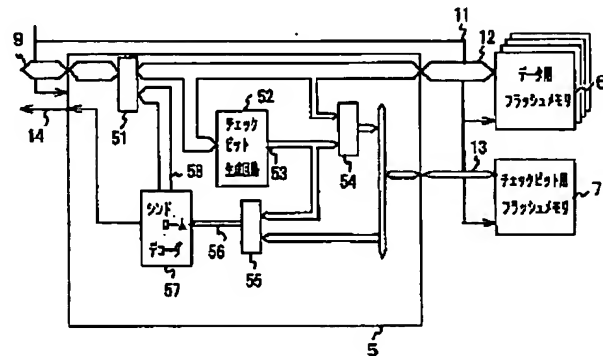
【図3】

図 3



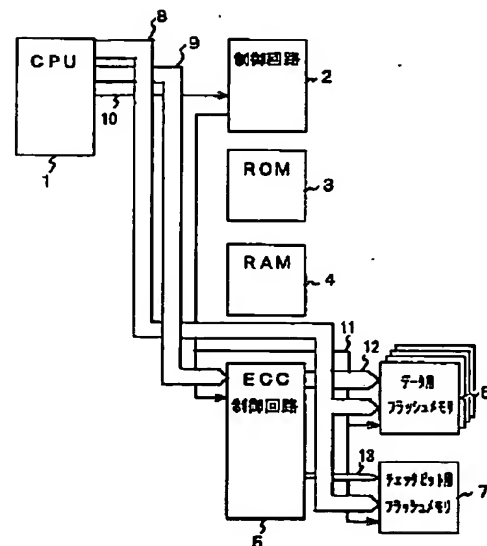
【図2】

図 2

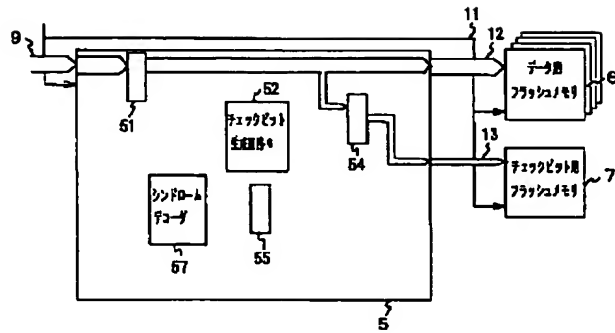


【図4】

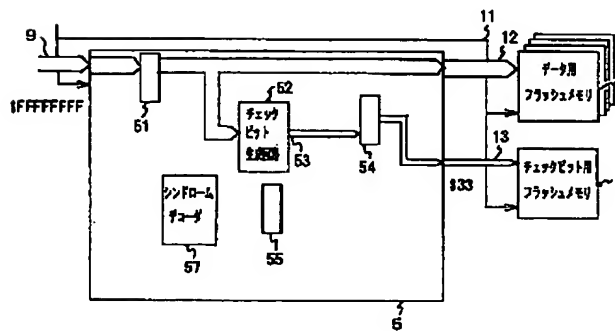
図 4



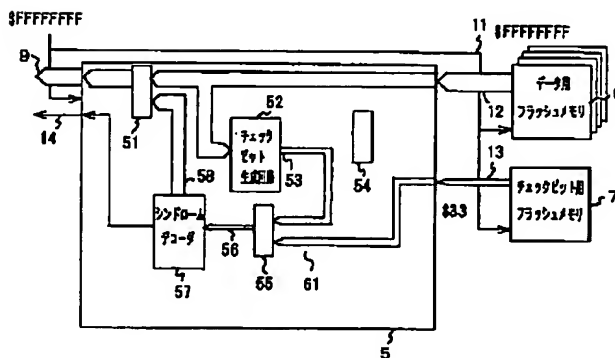
【図 5】



【図 6】

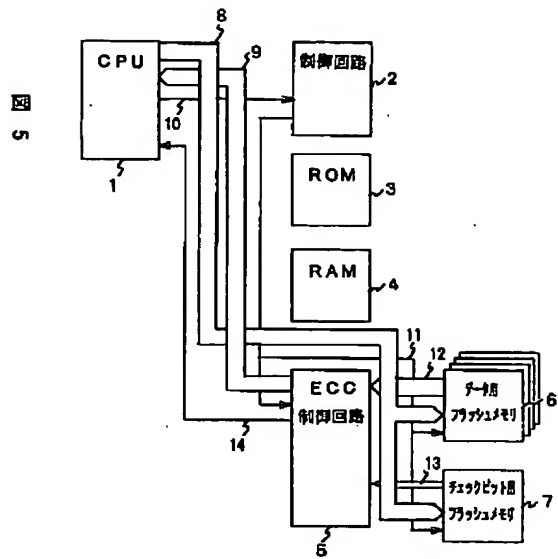


【図 8】



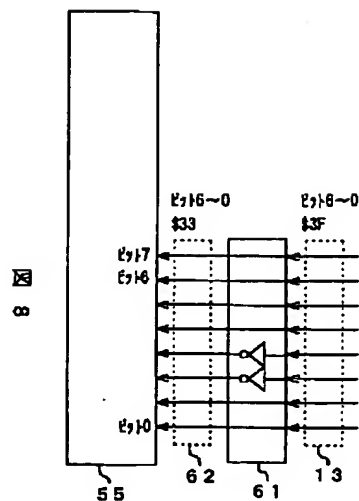
【図 7】

图 7

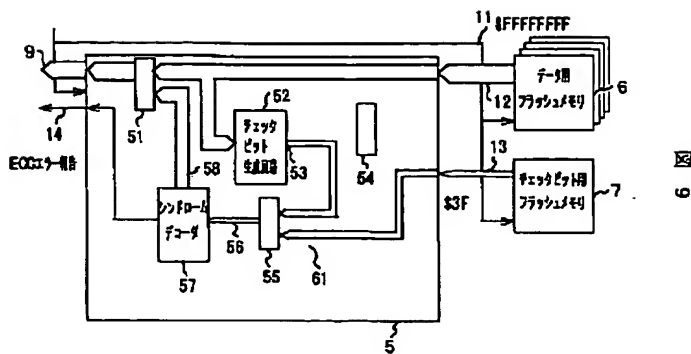


【図 10】

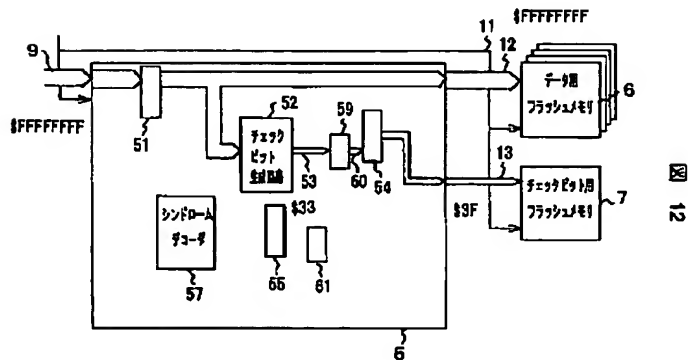
10



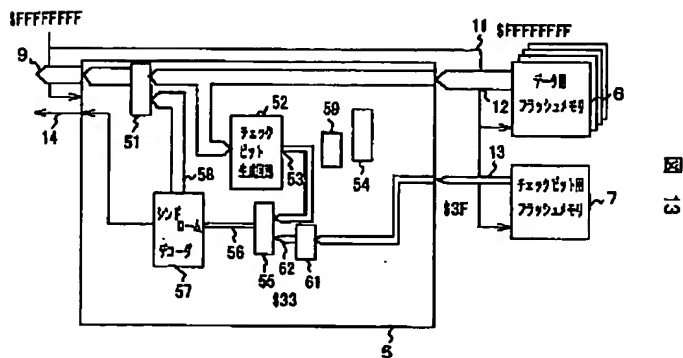
【図9】



【図12】

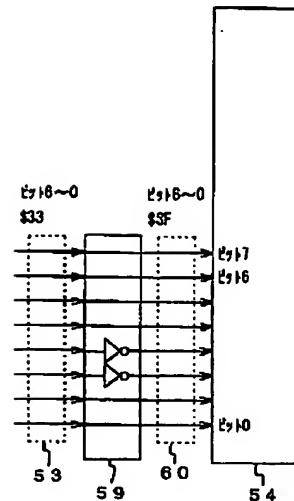


【図13】



【図11】

図 11



フロントページの続き

(72)発明者 久布白 紀子
 茨城県ひたちなか市大字市毛882番地 株
 式会社日立製作所計測器グループ内

(72)発明者 大部 一博
 茨城県ひたちなか市大字市毛1040番地 株
 式会社日立サイエンスシステムズ内

Fターム(参考) 5B001 AA03 AB03 AD03
5B018 GA04 HA15 NA06 PA03 QA20
5B025 AD04 AD05 AD13 AE08